

DIALOG(R)File 352:Derwent WPI

(c) 2005 Thomson Derwent. All rts. reserv.

010982692

WPI Acc No: 1996-479641/199648

Related WPI Acc No: 1994-129999; 1994-323884; 1994-345082; 1995-287119;
1995-334297; 1998-203510; 1998-605355; 1999-293879; 2001-207663;
2001-253530; 2003-528579

XRPX Acc No: N96-404549

Semiconductor thin film transistor device manufacture for e.g. active matrix liquid crystal display - by forming a peripheral circuit from a crystalline silicon film and forming the pixel part from an amorphous silicon film

Patent Assignee: SEMICONDUCTOR ENERGY LAB CO LTD (SEME); SEMICONDUCTOR ENERGY LAB (SEME); HANDOTAI ENERGY KENKYUSHO KK (SEME)

Inventor: TAKAYAMA T; TAKEMURA Y; ZHANG H; MIYANAGA A

Number of Countries: 005 Number of Patents: 009

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 7074365	A	19950317	JP 94131413	A	19940520	199648 B
TW 281786	A	19960721	TW 94104759	A	19940525	199648
CN 1101167	A	19950405	CN 94107606	A	19940526	199724
KR 180573	B1	19990320	KR 9411756	A	19940526	200043
CN 1258102	A	20000628	CN 94107606	A	19940526	200050
			CN 99120260	A	19940526	
CN 1258104	A	20000628	CN 94107606	A	19940526	200050
			CN 99120259	A	19940526	
JP 3403810	B2	20030506	JP 94131413	A	19940520	200330
CN 1058584	C	20001115	CN 94107606	A	19940526	200472
US 6875628	B1	20050405	US 94248220	A	19940524	200523
			US 95462742	A	19950605	
			US 97811742	A	19970306	

Priority Applications (No Type Date): JP 93147001 A 19930526

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

JP 7074365	A	14	H01L-029/786	
TW 281786	A		H01L-021/331	
CN 1101167	A		H01L-021/00	
KR 180573	B1		H01L-029/78	
CN 1258102	A		H01L-029/04	Div ex application CN 94107606
CN 1258104	A		H01L-029/786	Div ex application CN 94107606
JP 3403810	B2	13	H01L-021/336	Previous Publ. patent JP 7074365
CN 1058584	C		H01L-021/00	
US 6875628	B1		H01L-021/00	Div ex application US 94248220
				Cont of application US 95462742
				Div ex patent US 5604360

Abstract (Basic): JP 7074365 A

The pixel thin film transistor (TFT) is formed from an amorphous silicon film that includes a metallic element. Both the peripheral and the pixel thin film transistors are prepared on the substrate. The metallic element promotes crystallization. Laser light is irradiated on to the crystalline silicon film. The metallic element which promotes the crystallization may be Ni, Fe, Co, Pd, or Pt. The concentration of the metallic element is $1 \times 10^{18} \text{cm}^{-3}$.

USE - For a thin film transistor used in e.g. an active matrix liquid crystal display.

ADVANTAGE - Allows high speed operation of the peripheral circuit while providing pixel transistors with a small off current.

Title Terms: SEMICONDUCTOR; THIN; FILM; TRANSISTOR; DEVICE; MANUFACTURE; ACTIVE; MATRIX; LIQUID; CRYSTAL; DISPLAY; FORMING; PERIPHERAL; CIRCUIT; CRYSTAL; SILICON; FILM; FORMING; PIXEL; PART; AMORPHOUS; SILICON; FILM

Derwent Class: L03; P81; U11; U12; U14

International Patent Class (Main): H01L-021/00; H01L-021/331; H01L-021/336; H01L-029/04; H01L-029/78; H01L-029/786

International Patent Class (Additional): G02F-001/1345; G02F-001/136; G02F-001/1368; H01L-021/20; H01L-027/092; H01L-027/12

File Segment: CPI; EPI; EngPI

[19]中华人民共和国专利局

[11] 公开号 CN 1101167A



[12] 发明专利申请公开说明书

[21]申请号 94107606.7

[51]Int.Cl⁵

H01L 21/00

[43]公开日 1995年4月5日

[22]申请日 94.5.26

[30]优先权

[32]93.5.26 [33]JP[91]147001/93

[71]申请人 株式会社半导体能源研究所

地址 日本神奈川县

[72]发明人 张宏勇 高山彻 竹村保彦
宫永昭治

[74]专利代理机构 中国专利代理(香港)有限公司

代理人 萧瑜昌 叶恺东

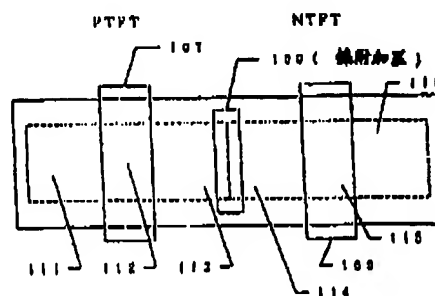
说明书页数:

附图页数:

[54]发明名称 半导体器件及其制造方法

[57]摘要

在除图象元素部分之外的无定型硅薄膜上,在预定的外围电路部分的区域内引入镍,以从该区域结晶。在栅电极和其他电极形成之后,用掺杂法形成源、漏和沟道,用激光照射改善结晶。之后,形成电极/引线。因此,获得有源矩阵型液晶显示器,它的外围电路部分中的薄膜晶体管(TFT),由结晶薄膜构成,其晶体在平行于载流子流的方向里生长,在图象元素部分里的 TFT₂ 由无定型硅薄膜构成。



(BJ)第 1456 号

权 利 要 求 书

CPCL945305

1. 一种半导体器件,包括:

基片,和

在基片上形成的多个薄膜晶体管,

其中,多个薄膜晶体管中的一部分具有晶体生长方向基本上平行于基片表面的结晶硅薄膜,多个薄膜晶体管中的另一部分具有无定形硅薄膜。

2. 一种半导体器件,包括:

基片,和

在基片上形成的多个薄膜晶体管,

其中,多个薄膜晶体管中的一部分作为有源矩阵型液晶显示器的外围电路部分,多个薄膜晶体管中的另一部分作为有源矩阵型液晶显示的图象元素部分,和

用作外围电路部分的薄膜晶体管具有在平行于基片表面的方向里生长的晶体的结晶硅薄膜,和作为图象元素部分的薄膜晶体管具有无定形硅薄膜。

3. 一种制造半导体器件的方法,包括:

在基片上形成基本上是无定形硅薄膜;

在无定形硅薄膜形成之前或之后,选择性地给区域引入促进结晶的金属元素;

加热,使无定形硅薄膜结晶;

其中,晶体生长是从该区域大约平行于基片表面的方向进行的,

而未选择性地引入金属元素的其他区域具有无定形硅薄膜。

4. 一种制造用作有源矩阵形液晶显示器的半导体器件的方法，包括：

在基片上形成基本上是无定形硅薄膜；

在无定形硅薄膜形成之前或之后选择性地引入促进结晶的金属元素；和

通过加热，使该无定形硅薄膜从已选择性引入了金属元素的区域开始生长，在基本上平行于基片表面的方向晶化和生长，

其中，没有被选择性引入金属元素的其他区域具有无定形硅薄膜，和

其中，薄膜晶体管在基本上平行于其中的载流子移动方向的区域中形成，载流子移动方向平行于结晶薄膜的晶体生长方向，并在其他区域内形成其他薄膜晶体管。

5. 根据权利要求3的方法，其中，金属元素是镍。

6. 根据权利要求4的方法，其中，金属元素是镍。

7. 根据权利要求3的方法，其中，加热温度范围是从450 °C至550 °C。

8. 根据权利要求4的方法，其中，加热温度范围是从450 °C到550 °C。

9. 根据权利要求3的方法，其中，对已引入金属元素并加热使其结晶后的区域及其周围部分用激光或等量强光选择性地照射

10. 根据权利要求4的方法，其中，对引入金属元素的外围电路部分区域在对其加热使其结晶后，用激光或等量强光对该区域和其

周围选择性地照射。

11. 根据权利要求3的方法,其中,用加入或旋转涂覆含金属元素的物质,引入金属元素。

12. 根据权利要求4的方法,其中,用加入或旋转涂覆含金属元素的物质,引入金属元素。

13. 一种有源矩阵型液晶显示器,包括:

具有多个图象元素电极的图象元素部分; 和
驱动每人图象元素电极的驱动电路装置,

其中,图象元素部分和驱动电路装置由薄膜晶体管构成,每个薄膜晶体管有基片,和构成图象元件部分的薄膜晶体管,每个所述的晶体管具有在基本上平行于基片表面的方向中生长晶体的硅晶薄膜,和构成驱动电路装置的薄膜晶体管的每个所述晶体管具有无定形硅薄膜。

说 明 书

CPEL945305

半导体器件及其制造方法

本发明涉及安装在绝缘基片(如玻璃)上的TFT。(薄膜晶体管)的半导体器件。特别涉及用于有源矩阵型液晶显示器的半导体器件。

具有安装在绝缘基片(如玻璃)上的TFT。的半导体器件,用在有源矩阵型液晶显示器、图象传感器及其类似装置中,用TFT。作激励图象元素,是公知的。

通常,用薄膜硅半导体制成的TFT用于这些器件中。薄膜硅半导体可以大致分为两类:一类是由无定形(非晶)硅(α -S₁)构成的半导体,另一类是由结晶硅构成的半导体。无定形硅半导体通常用的最多,因为它的制造温度低,容易用汽相法制造,并能大量制造。但是,与结晶硅半导体相比,在像电导率这样的物理性能方面,无定形硅半导体的性能较差。急需要寻求一种由结晶硅制成TFT的方法,以便获得稳定的特性。而且,像结晶硅那样,已知还有多晶硅,微晶硅,含结晶成份的无定形硅,介于结晶硅与无定形硅之间的中间态的半无定形硅。

获以上述结晶薄膜硅半导体的以下方法是已知的:<1>直接形成结晶薄膜,<2>形成无定形半导体薄膜,并用激光能使其结晶,<3>形成无定形半导体薄膜,并加热能使其结晶。

但是,用方法<1>在基片的整个表面上形成具有令人满意的物

理性能的半导体薄膜,有技术困难。而且,还存在价格问题,因为薄膜形成温度高达 600°C 以上,因而不能使用价廉的玻璃基片。方法<2>的问题是它的生产效率低,因为,当今最常使用的激发物激光的辐射面积小。而且,激光不能稳定均匀地处理大面积基片的全部表面。因此,需要考虑下一代的技术问题。与方法<1>和<2>相比,尽管方法<3>具有通用于大面积的优点,但它也必需加高达 600°C 以上的高温。而使用廉价玻璃基片时,需要降低加热温度。特别是现今液晶显示屏幕越来越大,因而需要大的玻璃基片。当使用这种大玻璃基片时,在制造半导体工艺中所必需的热处理过程中引起的基片收缩和变形产生的一个大问题,降低了掩模板位置精度及其类似物的精度。实际上,由于现在最普遍使用的7059玻璃的变形温度为 593°C ,通常的加热结晶方法引起基片的大面积变形。而且,除温度造成的问题之外,在通用的方法中结晶所需的加热时间要几十小时以上,因而,这种加热时间需要缩短。

因此,本发明的目的是,提供一种方法,用加热无定形硅构成的薄膜,使其结晶,制成结晶硅半导体薄膜,在该制造方法中实现既降低结晶化所需温度,又缩短所需加热时间,解决所述的问题。用本发明所述方法制成的结晶硅半导体所具有的物理性能,等于或超过用现有技术制成的硅半导体的物理性能,并能用作TFT₂的有源层区。

本发明的发明人进行了以下一些实验,并对用CVD法或溅射法,和对薄膜加热使其结晶的方法形成硅半导体薄膜的方法进行了研究。

首先在玻璃基片上形成了无定形硅薄膜,然后,通过实验,研究了加热薄膜使其晶化的机理,发现在玻璃基片与无定形硅之间的

界面处晶体开始生长,当薄膜厚度大于一定厚度时,晶体在垂直于基片表面的方向以柱形生长。

上述现象可以被认为是以下原因造成的,因为在玻璃基片与无定形硅之间的界面处存在晶核(籽晶),晶核是晶体生长的基础、晶体由晶核生长而成。这种晶核被认为具有杂质金属元素和晶体组分(氧化硅的晶体组分被认为是存在于称之为结晶玻璃的玻璃基片的表面),它们在基片表面存在很少量。

发明人认为,确实地引入晶核可能降低晶化温度。为了进一步证实这种作用,发明人进行试验,在玻璃基片上形成很少量的其他金属薄膜,在其上形成无定形硅薄膜,然后加热使其晶化。结果,证明了当在基片上形成几种金属时晶化温度降低,由此推定,晶体生长集中在作为晶核的所述材料上。然后,发明人对多种杂质金属进行了更详细的机理研究,以降低温度。多种杂质元素是Ni, Fe, Co, Pb和Pc。

可以认为,晶化有两个阶段,即生成晶核的最初阶段和由晶核生长晶体的阶段。测试在固定温度下生成微晶点的时间便能得知晶核产生的最初阶段的速度。任何时间在使用杂质金属作基底形成无定形硅薄膜时,这个时间可以缩短,而且验证了引入晶核使晶化温度降低的作用。此外,当以变化的加热时间来研究晶核产生后晶界的生长时,在形成于某一金属上的无定形硅薄膜形成后的结晶化过程中,还意想不到地观察到晶核产生后的晶体生长速度也显著地增加。尽管该机理还没证实,可以认为某些催化作用是有效的。

在任何情况下,发现,在玻璃基片上形成极少量的一定金属薄

膜,在该金属薄膜上形成无定形硅薄膜,然后对其加热并使其晶化,由于上述两种作用,在低于 580°C 的温度下经过约4小时,便能获得足够的结晶度,而这在过去是不可能的。

镍是具有这种作用的杂质金属中效果最显著的一种金属,是发明人选用的元素。

现在来证实镍是如何起作用的。

在基片(康宁玻璃7059)上用等离子CVD法形成无定形硅薄膜,而在基片上没有形成极少量的镍薄膜。在这样形成的无定形薄膜的晶化过程中所需的加热时间为10小时以上,在氮气中加热 600°C 。然后在镍薄膜形成的无定形硅薄膜的晶化处理是在 580°C 的加热温度下经过约4小时便能获得与上述薄膜相同的结晶状态。此时的结晶情况是用拉曼(Raman)光谱制定的。可以看出,仅就这一点而言,镍的作用是很大的。

因为上述说明是明显的,当无定形硅薄膜是形成在极少量的镍薄膜上时,结晶所需的时间可以缩短,结晶温度可以降低。假定该工艺应用在制造TFT。中,现在进行更详细说明。顺便说一下,即使镍薄膜是形成在无定形硅薄膜上,而不是仅形成在基片上时,也具有同样的作用,而且在镍作为离子注入时也具有同样的作用,这在以后还要详细说明。因此,这样的一系列工艺称之为"微量加镍"。当形成无定形硅薄膜过程中技术上有可能实现微量加镍

(Nickel micro-doping)。

首先,要说明微量加镍。加少量镍有两种方法,一种是,先在基片上形成少量镍薄膜,然后在形成的镍薄膜上形成无定形硅薄膜。另一种方法是,首先在基片上形成无定形硅薄膜,然后在所形成的

无定形硅薄膜上形成少量镍薄膜。这两种加少量镍的方法对降低加热温度具有同样作用。而且明白到在薄膜形成中可以采用溅射法、真空淀积法、旋转涂覆法和等离子法中的任何一种。然后,当少量的镍薄膜形成在基片上时,少量的镍薄膜直接形成在7059玻璃基片上的作用比起在基片上先形成少量的镍薄膜的作用更明显。其原因是,在使用7059玻璃基片的情况下,硅和镍直接接触,除硅以外的其他组份对接触或反应均有妨碍,这对于本发明的低温结晶是很重要的。

而且,关于微量加镍的方法,已证明,除在无定形硅薄膜上面或者下面形成接触薄膜的方法而外,用离子注入法加镍(引入)能够得到几乎是同样的作用。关于镍,已证明,当添加量大于 1×10^{15} 原子/厘米³时,温度能够降低。然而,由于当镍添加量大于 5×10^{19} 原子/厘米³时,单一硅基片的光谱的峰形状与拉曼光谱的峰形状明显不同,实际上可使用的范围被认为在 1×10^{15} 原子/厘米³至 1×10^{20} 原子/厘米³之间。当镍的浓度小于 1×10^{15} 原子/厘米³时,对结晶的催化作用降低。而且,当浓度大于 1×10^{19} 原子/厘米³时,会局部生成NiSi,使半导体性能降低。在结晶状态下,使用较低的镍浓度对半导体更有利。

接着,要说明微量加镍对晶体的结构。已经知道,不加镍时,晶核是随机地生成,从处在基片和类似物的界面片的晶核开始,晶体从晶核开始随机地生长直至一定的厚度,按(110)排列的柱形晶体在垂直于基片的方向里生长,如上所述,通常长成一较厚的薄膜,当然,从整个薄膜的截面看几乎是均匀的晶体生长。与此相反,当添加了少量的镍时,在加入镍的区域的晶体生长为在周围部分的晶体

生长不同。也就是说,通过透射电子束显微镜照片证实、在加入镍的区域内,所添加的镍或镍和硅的化合物变成晶核,而且柱形晶体生长几乎垂直于基片,与没加镍的区域内的晶体生长类似。还证实,在低温下的结晶也在没加镍的周围区域中进行。在垂直于基片的方向在(111)内排列着特殊的晶体生长,在平行于基片的方向内看到有部分的针状的或柱状的晶体生长。已发现,由加了少量镍的区域中沿着平行于基片的横向方向由生长了一些大的晶体,其长度达几百微米,还发现,晶体生长随时间的增加和温度的升高而按比例的增加。例如,在加热温度为 550°C ,加热4小时,生长长度的为40微米。而且还证实,在横向中的大晶体全是单晶,与用透射电子束显微镜所照的照片所示情况类似。对加有少量镍的部分检测镍浓度时,在靠近横向生长部分和对其它的远的无定形部分(在所考虑的远的部分不会发生低温结晶,而且仍保持它的无定形部分)用SIMS(二次离子质谱测定法)检测镍浓度,以加了少量镍的区域中,检测出的镍含量比以横向生长部分测得的镍含量少1个数量级,而且定在无定形硅中扩散。在无定形硅中发现镍的含量也少以数量级。尽管这种事实与晶体结构之间的关系还不清楚,但是,控制镍的加入量和添加的位置可以形成具有所需晶体结构的结晶硅薄膜。

接下来,要说明添加了少量镍的微量加镍部分和靠近横向生长部分的电性能。关于微量加镍部分的电性能,电导率与没有加镍的薄膜的电导率几乎相同,也就是说,与在 600°C 下经过几十小时晶化处理后的薄膜的电导率几乎相同,当从电导率的温度依赖关系中找出激活能时,当镍添加量在 10^{17} 原子/厘米³到 10^{18} 原子/厘米³时,没有发现由镍的添加量所引起的所需性能。就这种情况而论,假若

TFT的有源层中所用的薄膜中的镍含量或其他所用薄膜中的镍含量小于 10^{18} 原子/厘米³时,可以肯定,在TFT的工作中不会有问题。

与此相反,横向生长部分的电导率比微量加镍部分的电导率大一个数量级以上。对结晶硅而言是相当的高。这被认为是电子穿过电极之间很少有晶体或几乎无晶体的边界,由于电流通过方向晶体横向生长方向一致而造成的,这与穿透电子束显微镜照片的结果一致,没有矛盾。也就是说,与所观察到的平行于基片的方向中的针形或柱形晶体的情况一致。

这儿,根据上述的各种性能,说明应用于TFT的方法。当应用TFT时,在使用了TFT的有源液晶显示中,这儿假定它用作激励图象元素。

如上所述这,在最高的大屏幕有源型液晶显示器中抑制玻璃基片收缩是重要的,用本发明的微量加镍处理允许在比玻璃的变形温度足够低的温度下晶化处理,而且是特别适用。本发明允许用加了少量镍的结晶硅代替普遍使用的无定形硅,并在 451°C 到 550°C 下经过4小时的结晶化处理。尽管可能需要改变设计准则,并进行其他与此相应的改变,但它完全适用常规设备和工艺,而且它具有很大优越性。

此外,本发明允许构成用作象素的TFT,并且允许利用与每个特性对应的晶体结构,形成外围电路驱动器的TFT,因此,它特别适用于有源型液晶显示器。也就是说,用作图形的TFT不要求有很高的迁移率,但希望截止电流(off current)较小。然后,本发明还允许成为用作图象元素的TFT区域,保持没有进行微量加镍而作为无定形区,并用加少量镍的方法,在该区域上生长结

晶薄膜,用于形成外围电路驱动器。也就是说,形成在图象元素部分里的TFT尽管不要求如此高的迁移率,但需要减少截止电流,以提高合格率并保持电荷。因此,使用采用无定形硅薄膜构成的TFT₀是有利的,它允许采用现有的制造技术,而且,在图象元素部分里它们的性能很容易控制。另一方面,考虑到应用在工作站的液晶显示器和以后的应用,构成外围电路的TFT₀要求很高的迁移率。给构成外围电路驱动器的TFT₀的附近区域加入少量镍,并由此区域开始,沿着一个方向(在横向里生长)生长晶体,使晶体生长方向同电流通过方向(载流子移动方向)一致,从而有效地制造出具有很高迁移率的TFT₀。

也就是说,本发明的目的是在半导体器件中提供一个区域,在该区域中使硅半导体薄膜选择性的结晶化、并保留无定形区,从而选择性地,在基片上制成具有所需特征的TFT₀。在象玻璃基片这样的基片上构成包括在该半导体器件中的许多薄膜晶体管(通常称作TFT)。本发明的另一个目的是,选择性地提供具有较高迁移率的TFT,这是通过使晶体生长方向与TFT中载流子方向一致,使该方向与基片平行。

根据本发明,可在每个必需区域选择性地获得采用结晶硅薄膜的TFT和采用无定形硅薄膜的TFT,其方法是,使TFT工作时的载流子移动方向与晶体生长方向基本基本以选择性地获的具有高迁移率的TFT,并在其它区域选择性地提供采用无定形硅薄膜的TFT。

如上所述,用加入少量镍的方法,可以使晶体生长方向任意选择,或者是垂直于基片,或者是平行于基片。而且,选择所构成的TFT的方向(连接源和漏的方向)和位置可以选择性的确定TFT工作

时的载流子移动方向与晶体生长方向的关系,例如,当绝缘栅型场效应半导体器件用作TFT时,上述载流子的流动方向就是连接源和漏的方向。

本发明可以用作有源矩阵型液晶显示器。而且,用晶体生长方向平行于基片表面的结晶硅薄膜可以获得具有高迁移率的TFT。

此外,本发明还涉及获得上述TFT₀的制造方法。本发明使用的技术是用加入少量镍而选择性地制成结晶化区。

而且,本发明的特征是,在液晶显示器的外围电路部分用结晶硅薄膜形成TFT₀,而且包含TFT中的结晶硅薄膜的晶体生长方向与TFT中载流子的移动方向基本相同。而且,组成液晶显示器的图象元素部分的TFT₀同时采用无定形硅构成。用选择性加镍的方法可以实现在同一基片上选择性地构成结晶硅薄膜和无定形硅薄膜。也就是说,由于在加过微量镍的区域内所需的结晶化温度低于550°C,而在550°C下不会结晶化的无定形区(尽管认为它经过几百小时后可以结晶,但在550°C下经过几个小时不会结晶)可以保留在没加镍的区域内。

尽管用镍作为促进结晶的小量金属元素是典型有效的,但用钴(Co),铁(Fe)和铂(Pt)也能获得类似的效果。而且,尽管基片的种类没有特别限定,但是,使用玻璃基片,特别是用大面积玻璃基片作基片时,与常规方法相比,可以在低于600°C的低温度下获得结晶薄膜的本发明方法的实用性变得更显著。

选择性地结晶化处理可以获得结晶硅薄膜,但在晶化处理之后,用激光或等量的强光照射结晶硅薄膜,可以进一步改善这种结晶硅薄膜的特性。也就是说,用这种方法可以使留在晶体边缘部分和其

他区域的没充分结晶的部分结晶。顺便说一下,用无定形硅构成 TFT 所需的区域不要用这种强光照射,因为用这种强光照射使无定形硅结晶。

图1是表示按本发明的一个实施例的液晶显示器的结构示意图;

图2A至2D,表示制造电路的方法,电路中的 NTFT 和 PTFT 按本发明实施例互补地构成液晶显示器的外围电路部分;

图3是从上面看图2D中得到的结构图;

图4A至4D表示了 NTFT 的制造过程,该 NTFT 形成在按本发明实施例的液晶显示器中的图象元素部分中;

图5A至5E表示出了 TFT 电路的制造过程,该 TFT 电路属于本发明的另一个实施例的液晶显示中的外围电路部分和图象元素部分。

图6A和6B是在所制造的 TFT 的横向方向里生长晶化硅薄膜的结晶区末端的周围的 SEM 照片。

现在参照附图,说明本发明最佳实施例。

[第1实施例]

图1是本发明的实施例的液晶显示器结构顶视图简图,图中示出的图象元素部分10有许多成矩阵形(未画出)供给的图象元素电极,外围电路部分20作为驱动每个图象元素电极用的驱动电路。根据本发明,驱动图象元素用的薄膜晶体管(TFT)和由它们构成的外围电路形成在绝缘基片(即,玻璃基片)上。实际上,外围电路部分被构成为CMOS电路,其中P沟道型TFT。(PTFT)和N沟道型TFT。(NTFT)是采用具有在横向方向生长的结晶的硅薄膜(称为单晶薄膜)互补地构成的,图象元素部分是用无定形硅薄膜构成为NTFT的 TFT。

图2A到2D是表示电路制造过程的示意图,其中构成外围电路部分20的NTFT和PTFT是互补地构成的。图4A至4D是后面所述的,表示在图像元件部分构成的NTFT的制造过程的示意图。由于在同一基片上完成两种制造工艺,因此公用的工艺就同时进行。也就是说,图2A至2D所示步骤与图4A至4D所示工艺步骤相互对应,因此,同时分别完成这些工艺步骤。

首先,用溅射法在玻璃基片(康宁7059玻璃)101上形成厚度为2000埃的氧化硅底膜102。如图2A所示,在外围电路部分20上用金属掩模成或氧化硅薄膜形成掩膜103。顺便说一下,由于所引入的镍在后面的工序中很容易扩散进氧化硅薄膜中,因此,选用氧化硅薄膜作掩膜103时,氧化硅薄膜的厚度必须大于1000埃。用掩膜103使底膜102露出一个槽形。也就是说,以上述的图2A中所看到的,底膜102由槽形区100露出一个槽形,而其余部分被掩蔽。如图4A所示,图象元素部分10的全部表面被掩膜103覆盖。底膜102由掩膜103遮掩。

在提供的掩膜103后,镍硅薄膜(化学式为: NiSi_x , $0.4 \leq x \leq 2.5$,例如, $x=2.07$, $x=2.0$)的厚度为5至200埃,例如,20埃,它是用溅射形成的。其结果是,在外围电路部分20和图象元素部分10的全部面积上形成了镍硅薄膜。然后,除去掩膜103,只在区域100上选择性地形成镍硅薄膜。也就是说,在区域100上选择性地进行了微量加镍的工作。

接下来,去除掩膜103之后,用等离子CVD法淀积一层厚度为500至1500埃,例如1000埃的本征型(I-型)无定形硅薄膜104。然后,将其在氢还原气氛中在550°C退火处理4小时,使薄膜结晶(最好氢的

分压为0.1至1大气压力)。尽管温度可以在450°C至700°C的温度范围内选择,优选的温度范围是450°C至550°C,因为如果退火温度低它耗费退火时间,如果温度高,它与现有技术所花费退火时间有相同的结果。顺便说一下,该退火可以在惰性气氛(例如,氮气气氛)或空气中进行。

在选择性地形成了镍硅薄膜的区域100中,硅薄膜104在垂直于基片101的方向内结晶。另一方面,在区域100的外围区中,晶体区域100开始,按箭头105所指的横向方向(平行于基片的方向)生长。在提供了掩模103的图象元素部分10(见图4B)处保留了无定形硅薄膜,因为在550°C下经4小时退火无定形硅薄膜不会结晶。顺便说一下,在箭头105所指的平行于基片101方向中晶体生长的距离约为40微米。

用上述方法使外围电路部分20处的无定形硅薄膜可以结晶。这儿,如图2B所示,在外围电路部分20中,晶体在横向(平行于基片101的方向内)生长,在图象元素部分10中无定形硅保留而不会晶化。

然后,在元件之间将TFT₀分开,除去硅薄膜104需要的部分,构成岛形元件区。在该方法中,假若TFT的有源层长度(源/漏区、沟道形成区)是在40微米之内,源/漏区和沟道区可以用平行基片101方向内生长的结晶薄膜构成。而且,假若用结晶薄膜构成沟道形成区、有源区的长度可以再延长。

然后,用溅射法形成作为栅绝缘膜的厚度为1000埃的氧化硅薄膜106。溅射中用氧化硅作靶。溅射中的基片温度为200°C至400°C,例如350°C。用氧和氩作溅射气氛,氩/氧比等于0至0.5,小于0.1。接着,用溅射法形成厚度为6000-10000埃,例如6000埃的铝薄膜(含硅0.1至2%)。顺便说一下,形成氧化硅薄膜106和形成铝薄膜的工

艺步骤希望连续完成。

对所形成的铝薄膜构图,以形成栅电极107和109。如上所述,图2C和图4C所示的工艺步骤是同时完成的。

把栅电极107和109的表面阳极化,并在该表面上形成氧化层108和110。阳极化是在含1至5%的酒石酸的乙二醇溶液中完成的,氧化层108和110的厚度为2000埃。

顺便说一下,由于氧化层108和110的厚度是后面进行的离子掺杂工序(将杂质材料离子注入的工序)中形成的偏置栅极区的厚度,在阳极化工序中可以确定偏置栅极区的长度。

接下来,分别用栅电极107、周围的氧化层108、栅电极109和周围的氧化层110作掩模,给作为元件区的硅区注入杂质(磷和硼)。用磷化氢(PH_3)和乙硼烷(B_2H_6)作掺杂气体。用磷化氢时,加速电压是60至90KV,例如80KV。用乙硼烷时加速电压是40至80KV,例如是65KV。剂量是 1×10^{15} 至 8×10^{15} 厘米⁻²的磷,例如 2×10^{15} /厘米²的磷, 5×10^{15} /厘米²的硼。掺杂中,用光刻胶覆盖不需掺杂的区域,选择地掺杂每种元素。其结果是,形成了N-型杂质区114和116和P-型杂质区111和113,因此,可以形成P-沟道型TFT(PTFT)区和N-沟道型TFT(NTFT)区。而且,如图4C所示,可以同时形成N-沟道型TFT。

然后,用激光照射完成退火,以便激活离子注入的杂质。尽管用KrF激发物(eximer)激光器提供激光(波长为248nm,脉冲宽度为20ns),其他激活器也能使用。当用激光照射退火时,每处照射2至10次,例如照射2次,每次照射的激光能量密度是200至400mJ/cm²,例如250mJ/cm²,在激光照射过程中,将基片加热到约200至450℃有

是利的。由于镍已扩散进预先结晶化的区域内,在激光退火过程中用激光照射迅速地进行再结晶。因此,用P型杂质掺杂过的杂质区111和113及用N-型杂掺杂过的杂质区114和116可以被迅速激活。

随后,用等离子CVD法在外围电路部分20处形成厚度为6000埃的氧化硅薄膜118,作为中间层,如图2D所示。在中间层绝缘体上形成连接孔后,用氮化钛和铝多层薄膜形成TFT₀的电极117、119和120。在图象元素部分10处,用氧化硅形成中间层绝缘体211,并在形成连接孔之后,形成金属导线213,214和作为图象元素电极的ITO电极212,如图4D所示。最后,在一个大气压的氢气气氛中,在350°C下经30分钟的退火处理,完成TFT电路和TFT₀。

上述的制成电路具有CMOS结构,其中的PTFT和NTFT是互补地设置的。然则,通过将同时制成的PTFT和NTFT切割成两个TFT₀,在上述的制造方法中也可以同时制造的两个独立的TFT₀。

这儿,为了表示出已选择性地引入了镍的区域与TFT₀之间的位置关系。在图3中示出了从上面看图2D的图。图3中,区域100已选择性的进行了微量加镍处理,热退火使其晶体从已知镍的位置开始而在横向方向(薄片的横向)中生长。在该方向里晶体生长形成作为PTFT的源/漏区111和113和沟道形成区112。同样,形成作为NTFT的源/漏区114和116和沟道形成区115。

由于在上述结构中载流子流动的方向与晶体生长方向一致,当载流子移动时,它不会跨越晶界。因此能改善TFT₀的工作。例如,用图2A至2D所示工艺步骤制备的PTFT的迁移率是120至150cm²/VS,这证明比用现有技术制备的PTFT的迁移率50至60cm²/VS有了提高。而且,NTFT中获得的迁移率为150至180cm²/VS,比用现有技术制成

的NTFT的迁移率80至100cm²/VS要高。

顺便说一下,这里所说的现有技术制备的TFT是玻璃基片上形成无定形硅薄膜,将该薄膜600°C经24小时退火,使其结晶,由该方法制成结晶硅薄膜,制成的TFT。

而且,在图2C和2D中,在栅电极下面形成栅绝缘膜和沟道形成区。正如图3所示,再延长微量加镍区能同时制成多个TFT。(在图3中用垂直延长)。

尽管采用在无定形硅薄膜104的下面的底膜102的表面上选择性地形成镍薄膜的方法(由于镍薄膜极薄,很难将它当成薄膜观察制),并从加了镍的部分开始晶粒生长,用这种方法作为引入镍方法。但是,也可以采用在形成无定形硅薄膜104之后选择性的完成微量加镍的方法。也就是说,可以从无定形硅薄膜的顶部和底部开始生长晶体。可以从无定形硅薄膜的顶部和底部开始生长晶体。而且,也可以采用预先形成无定形硅薄膜,然后用离子掺杂法给无定形硅薄膜104中选择性注入镍离子的方法。该方法具有可控制镍元素浓度的优点。

而且,并非都需要使晶体生长方向平行于载流子流的方法。在载流子流的流动方向与晶体生长方向之间任意设置一个角度,可以控制TFT₀的性能。

[第2实施例]

第2实施例表示于图5A至5E和图6A和6B中。在玻璃基片501表面上形成厚度为1000至5000埃,例如2000埃的氧化硅薄膜502之后,用等离子CVD法在其上形成厚度为300至1500埃,例如500埃的无定形硅薄膜,然后,再在上面形成厚度为500至1500埃,例如,500埃的

氧化硅薄膜504。最好能连续地形成这些薄膜。然后,选择性地刻蚀氧化硅薄膜50A,构成引入镍的一个窗口区506。在制造用作外围电路的TFT。区形成窗口区506,而在图象元素部分不形成窗口区506。

接下来,用旋转涂覆法形成镍盐薄膜505。下面将说明旋转涂覆法。首先,用水或酒精稀释乙酸镍或硝酸镍,其浓度为25至200ppm,例如100ppm用作薄膜505。

另一方面,把基片浸或泡在过氧化氢溶液或过氧化氢与氨水的混合溶液中,在露出无定形硅薄膜的窗口区506处形成极薄的氧化硅薄膜,改进上述所制成的镍溶液和无定形薄膜的界面亲和力。

将按上面方法处理过的基片放在离心机中并慢慢地旋转。然后,在基片上滴1至10毫升例如2毫升镍溶液,使溶液铺开在基片的全部表面上。将该状态保持1至10分钟,例如5分钟。然后,增加旋转速度完成旋转干燥。该操作可重复多次。由此形成稀镍盐薄膜505(图5A)。

在加热炉中在520°C至580°C经过4至12小时,例如在550°C经8小时,完成热处理。热处理气氛为氮。其结果是,镍扩散进入窗口区506的正下面的区域,并由该区域开始结晶。然后,结晶区扩进箭头508的指示的周围区。另一方面,离开窗口区506的区域不晶化。并保持为无定形硅509(图5B)。

然后,用KrF激发物(eximer)激光(波长为248nm)或XeCl激发物(excimer)激光(波长:308nm)在空气或氧气氛中,照射1至20次例如照射5次(shots),进一步提高结晶度。激光的能量密度是200至350mJ/cm²,基片温度为200至400°C。顺便说一下,图象元件部分用金属掩模510覆盖,使其不被激光照射。或者,将激光束的形状再构

形成线状或其他形状,使激光不会射到图象元素部分(图5C)。

激光照射之后,刻蚀硅薄膜503,构成外围电路和图象元素部分的TFT区。前者由结晶硅薄膜组成,后者由无定形硅薄膜组成。然后,在全部表面上形成厚度为1000至1500埃,例如1200埃的氧化硅薄膜511,并用铝和其阳极化薄膜形成栅电极512,513和514,与第1实施例的情况相同。栅电极512用于外围电路中的PTFT,栅电极513用于外围电路中的NTFT,栅电极514用于图象元素部分中的TFT。

与第1实施例相同,用这些栅电极作掩模用离子注入法将N-型和P-型杂质注入硅薄膜中。其结果:构成了外围电路中PTFT的源515,沟道516和漏517,外围电路中NTFT的源520,沟道519,和漏518,图象元件部分中NTFT的源521,沟道522和漏523。然后,与第1实施例相同,用激光照射全部表面,激活掺入的杂质(图5D)。

形成厚度为3000至8000埃,例如5000埃的氧化硅薄膜作中间层绝缘体。而且,用溅射法形成厚度为500至1000埃,例如800埃的ITO薄膜,并将其刻图形成图象元素电极525。在TFT₀的源/漏处构成连接孔,淀积硝酸钛(厚度:1000埃)和铝(厚度:5000埃)两层薄膜,对其刻图,构成电极和引线526至530。因此,外围电路可以用结晶硅构成,图象元素部分可以用无定形硅构成(图5E)。

根据来实施例,如图5C所示那样,用激光照射保留在以针形生成的硅晶体体中的无定形成份,使其结晶。针形晶体被晶化,因此,它以作为晶核的针形晶体为中心变粗。它引起电流流过的区域扩大,并允许有较小的漏电流流过。

那些结晶后的硅薄膜减薄,然后用透射型电子显微镜(TEM)观察。图6A是由横向生长而结晶化的硅薄膜的结晶化区域的末端周

围的照片,并能观察到针形晶体。如图6A所示,在晶体中存在很多没结晶的无定形区。

当按本实施例的条件用激光照射时,获得如图6B所示的照片。尽管用本方法使占图6A中大部分面积的无定形区结晶化,由于结晶化区是随机地生成的,因此,电性能不是那么好。应注意的是区域中的结晶状态,现为在该区域中心附近观察到的针形晶体之中有无定形成份。在该区域中,用从针形晶体开始生长的方法,形成粗晶区(图6B)。

图6A和6B 中的照片表示通过观察有相当多的无定形存在的晶体末端区的状况,以便照片上迅速理解晶体生长状态。晶核周围的晶体生长状态与中间的生长状态相同。因此,用激光照射,无定形部分可能减少,针形晶体可以变粗,并且可以进一步改善TFT的特性。

如上所述,在有源矩阵型液晶显示中,外围电路部分的TFT是由在平行于载流子流方向生长的结晶薄膜构成的,图象元素部分的TFT是由无定形硅薄膜构成的。因此,在外围电路部分可以实现高速工作,在图象元素部分可以提供需要保持电荷的具有小截止电流的开关元件。

说明书附图 CPEL/45305

图 1

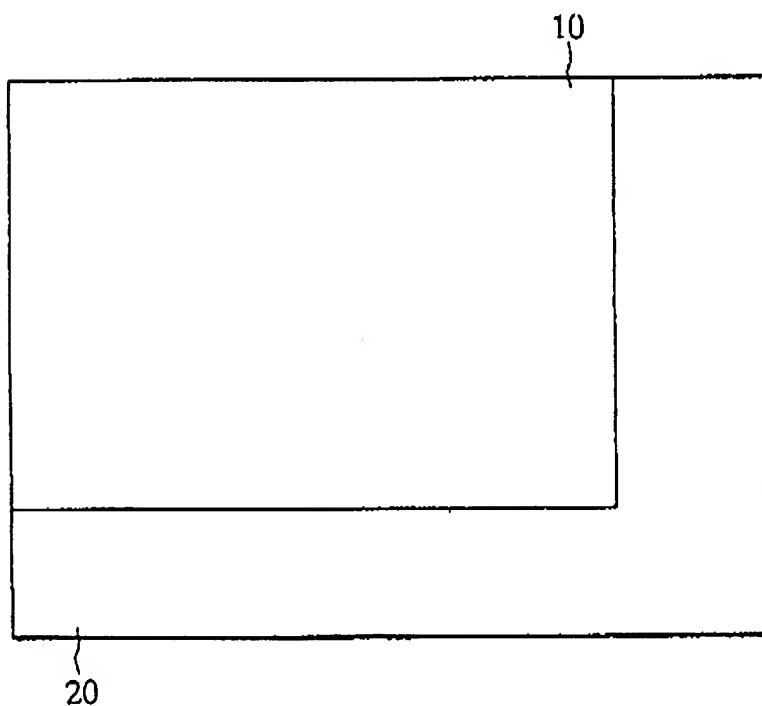


图 2A

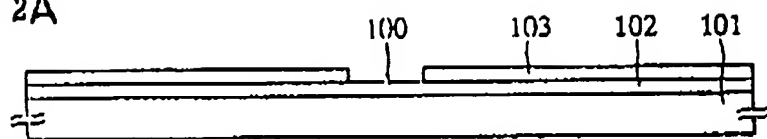


图 2B

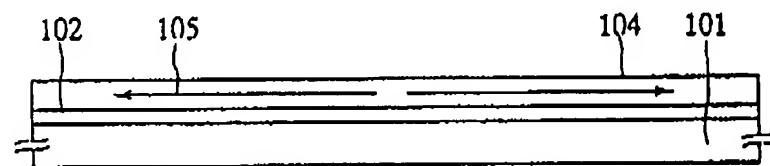


图 2C

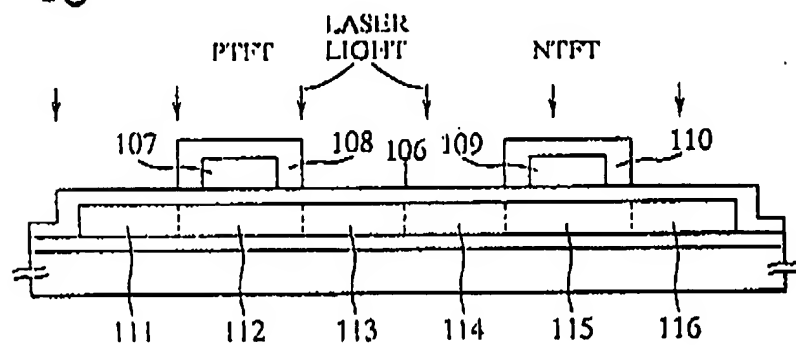


图 2D

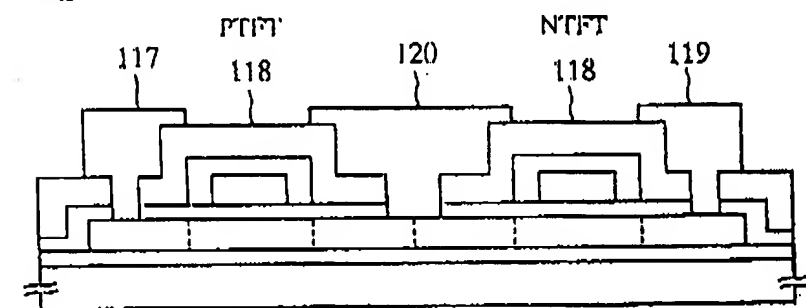
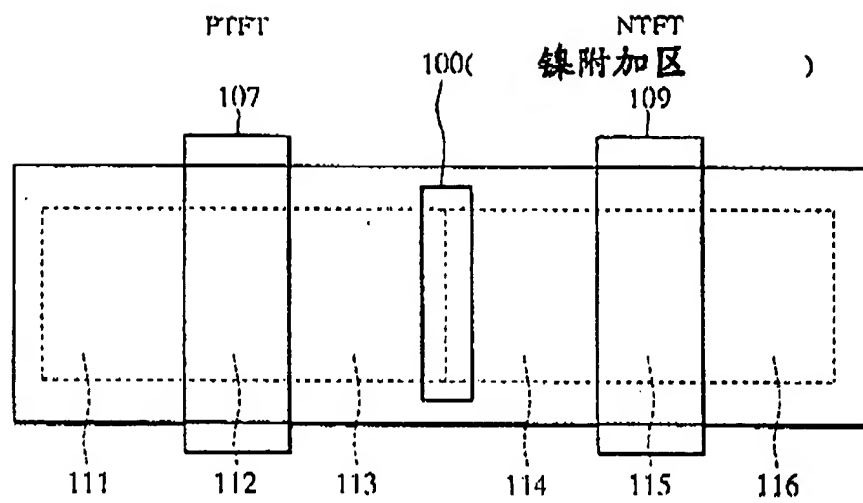


图 3



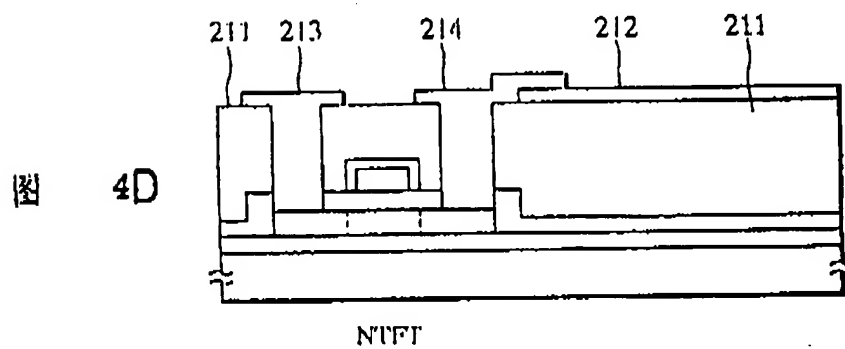
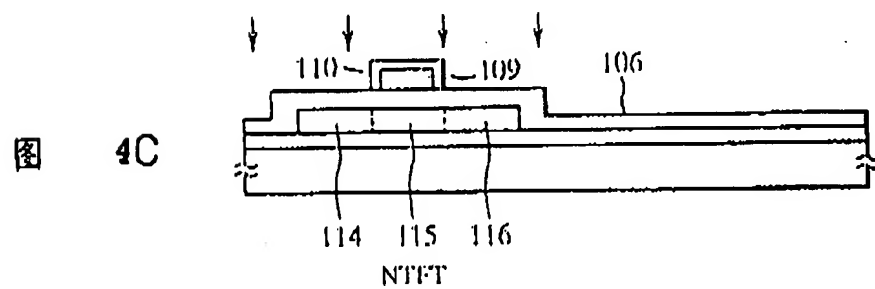
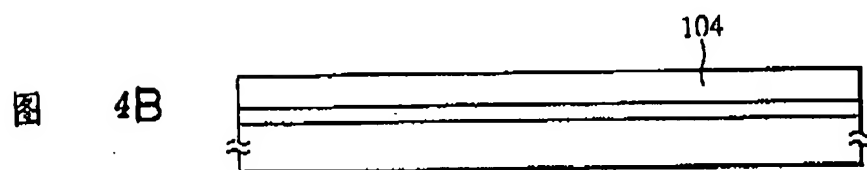
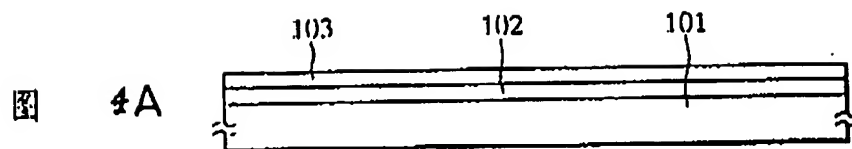


图 5A

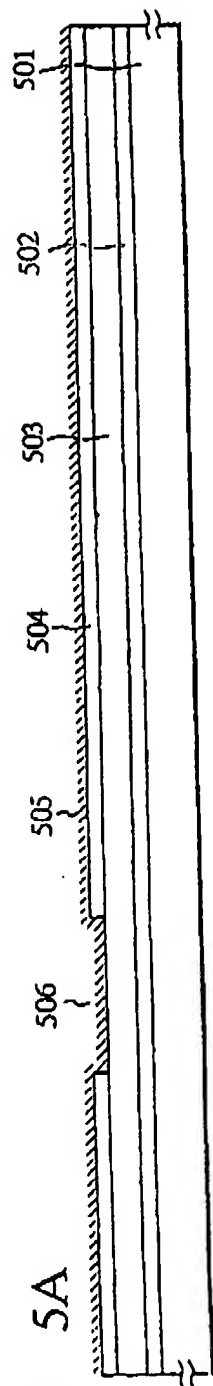


图 5B

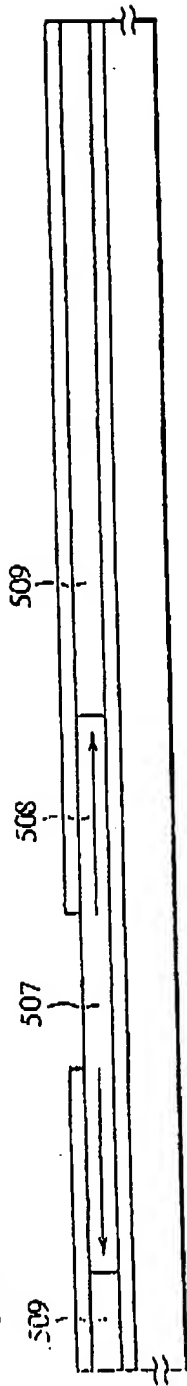
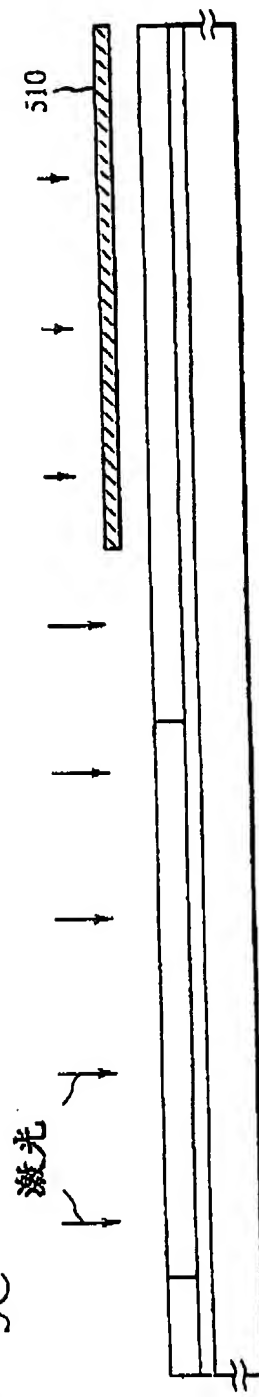


图 5C



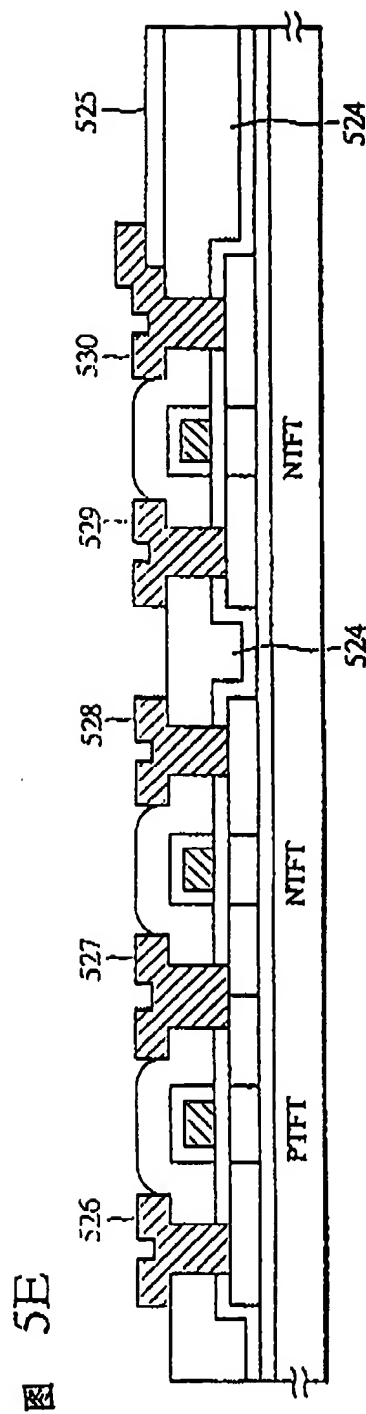
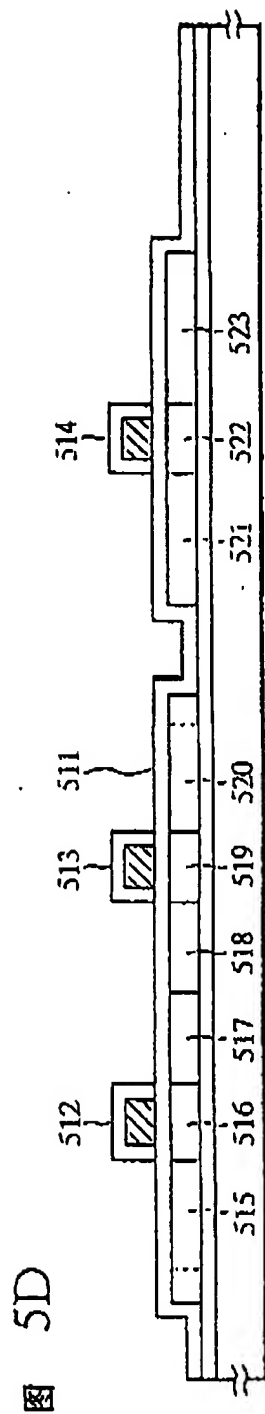




图 6B

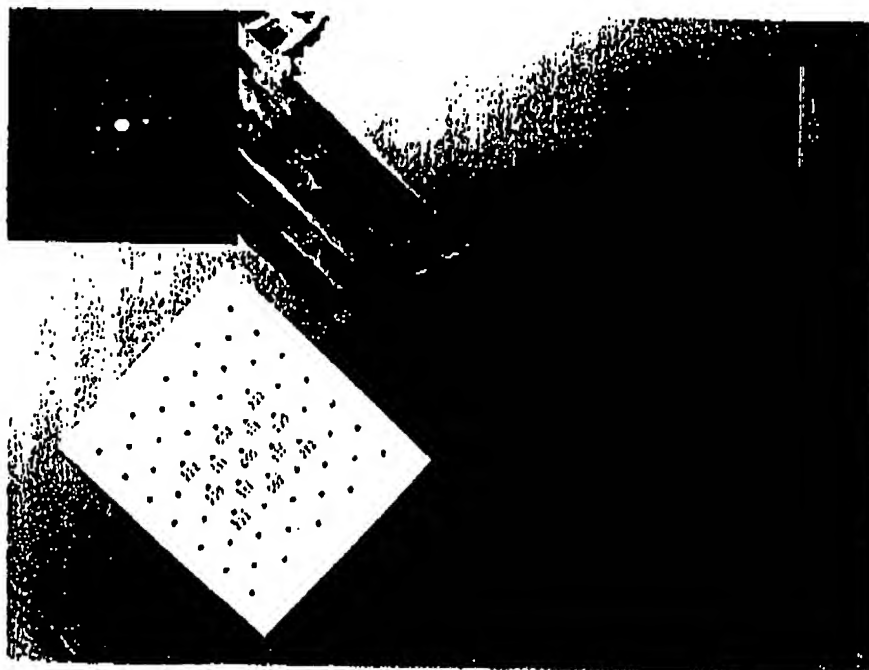


图 6A

Best Available Copy